

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

17232662

Basic Patent (No,Kind,Date): JP 2001210828 A2 20010803 <No. of Patents:
001>

(English)

IPC: *H01L-029/786; H01L-021/336; H01L-021/20; H01L-021/265

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2001210828	A2	20010803	JP 200020823	A	20000128 (BASIC)

Priority Data (No,Kind,Date):

JP 200020823 A 20000128

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

06983254 **Image available**

MANUFACTURING METHOD OF THIN-FILM SEMICONDUCTOR DEVICE

PUB. NO.: 2001-210828 [JP 2001210828 A]

PUBLISHED: August 03, 2001 (20010803)

INVENTOR(s): MIYASAKA MITSUTOSHI

APPLICANT(s): SEIKO EPSON CORP

APPL. NO.: 2000-020823 [JP 200020823]

FILED: January 28, 2000 (20000128)

INTL CLASS: H01L-029/786; H01L-021/336; H01L-021/20; H01L-021/265

ABSTRACT

PROBLEM TO BE SOLVED: To manufacture a polycrystalline thin-film semiconductor device, which has little variance in its electrical characteristics, at a comparatively low temperature.

SOLUTION: A polycrystalline semiconductor film is formed and thereafter, rare gas element ions are selectively implanted, in only the channel formation region of the semiconductor film and the regions in the vicinity of the channel formation region and in such a way, that the center of the range of charged particles in the ions is positioned from the interface under the lower side of the semiconductor film to be within a distance of 10 nm \pm 10 nm. After that, an XeCl excimer laser is applied in the film thickness direction of the semiconductor film at an energy density for fusing the semiconductor film at 85% or higher to about 97% or lower and the semiconductor film is recrystallized.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-210828

(P2001-210828A)

(43) 公開日 平成13年8月3日 (2001.8.3)

(51) Int.Cl.⁷

識別記号

F I

テマコード (参考)

H 0 1 L 29/786

H 0 1 L 21/20

5 F 0 5 2

21/336

29/78

6 2 7 G

5 F 1 1 0

21/20

21/265

P

21/265

Q

審査請求 未請求 請求項の数14 O L (全 13 頁)

(21) 出願番号 特願2000-20823 (P2000-20823)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22) 出願日 平成12年1月28日 (2000.1.28)

(72) 発明者 宮坂 光敏

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

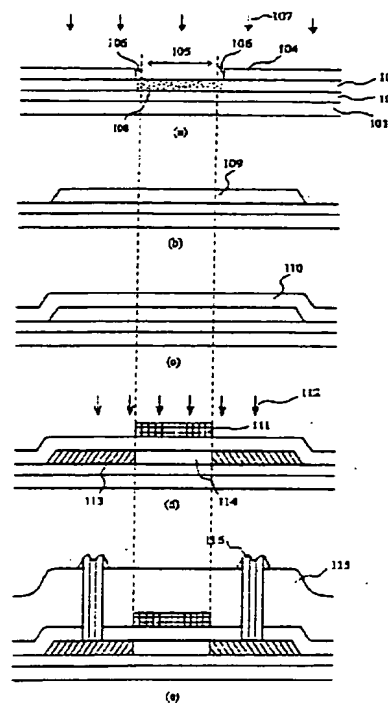
最終頁に続く

(54) 【発明の名称】 薄膜半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 電気的特性のばらつきの少ない多結晶薄膜半導体装置を比較的低温で製造する。

【解決手段】 多結晶半導体膜形成後、希ガス元素イオンを半導体膜のチャネル形成領域およびその近傍領域にのみ選択的に、また、飛程中心が該半導体膜の下側界面から10nm±10nm内になるよう注入する。その後、Xeclエキシマレーザを、該半導体膜の膜厚方向に対して85%以上97%程度以下溶融させるエネルギー密度で照射し、該半導体膜を再結晶化させる。



【特許請求の範囲】

【請求項1】 基板上に形成された結晶性半導体膜を半導体装置のチャンネル形成領域として活用している薄膜半導体装置の製造方法に於いて、

基板上に低圧化学気相堆積法（LPCVD法）にて多結晶半導体膜を堆積する半導体膜形成工程と、
該半導体膜に希ガス元素イオンを打ち込むイオン注入工程と、

該イオン注入工程後に該半導体膜を熔融結晶化させる結晶性半導体膜形成工程とを含む事の特徴とする薄膜半導体装置の製造方法。

【請求項2】 前記多結晶半導体膜が、モノシラン（ SiH_4 ）を少なくとも原料気体の一種として用いたLPCVD法に依り、直接前記基板上に堆積される事の特徴とする請求項1記載の薄膜半導体装置の製造方法。

【請求項3】 前記イオン注入工程にて打ち込まれる希ガス元素イオンがアルゴン（ Ar ）イオンで有る事の特徴とする請求項1乃至2記載の薄膜半導体装置の製造方法。

【請求項4】 前記イオン注入工程にて打ち込まれる希ガス元素イオンがヘリウム（ He ）イオンで有る事の特徴とする請求項1乃至2記載の薄膜半導体装置の製造方法。

【請求項5】 前記イオン注入工程にて打ち込まれる希ガス元素イオンの前記半導体膜内での最大濃度が $2 \times 10^{19} \text{cm}^{-3}$ 程度以上 $1 \times 10^{21} \text{cm}^{-3}$ 程度以下で有る事の特徴とする請求項1乃至4記載の薄膜半導体装置の製造方法。

【請求項6】 前記イオン注入工程にて打ち込まれる希ガス元素イオンの飛程中心が前記半導体膜の下側界面と該半導体膜の下側界面からの厚みの40%程度との間に存在する事の特徴とする請求項1乃至5記載の薄膜半導体装置の製造方法。

【請求項7】 前記イオン注入工程にて打ち込まれる希ガス元素イオンの飛程中心が、前記半導体膜の下側界面から $10 \text{nm} \pm 10 \text{nm}$ 内に存在する事の特徴とする請求項1乃至5記載の薄膜半導体装置の製造方法。

【請求項8】 前記イオン注入工程にて、前記希ガス元素イオンを前記半導体装置のチャンネル形成領域及び其の周辺となる近傍領域のみに選択的に注入する事の特徴とする請求項1乃至7記載の薄膜半導体装置の製造方法。

【請求項9】 前記近傍領域がチャンネル形成領域から $1 \mu\text{m}$ 程度以内の領域である事の特徴とする請求項8記載の薄膜半導体装置の製造方法。

【請求項10】 前記結晶性半導体膜形成工程が光照射にて行われる事の特徴とする請求項1乃至9記載の薄膜半導体装置の製造方法。

【請求項11】 前記光照射がレーザー光照射である事の特徴とする請求項10記載の薄膜半導体装置の製造方法。

法。

【請求項12】 前記レーザー光が前記半導体膜の膜厚方向に対して85%程度以上97%程度以下を熔融させるエネルギー密度で該半導体膜を照射する事の特徴とする請求項11記載の薄膜半導体装置の製造方法。

【請求項13】 前記レーザー光がエキシマレーザー光である事の特徴とする請求項11乃至12記載の薄膜半導体装置の製造方法。

【請求項14】 前記エキシマレーザー光がキセノン塩素（ XeCl ）エキシマレーザー光（波長308nm）である事の特徴とする請求項13記載の薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は600℃程度以下の比較的低温にて、基板上に形成された結晶性半導体膜の品質を向上せしめ、且つ其の品質変動を最小にし得る技術に関する。取り分け此の技術を適応して、基板上に形成された結晶性半導体膜を半導体装置のチャンネル形成領域として活用している薄膜半導体装置の性能を著しく改善し、且つ半導体装置素子間の品質が均一と成り得る、薄膜半導体装置の製造方法に関する。

【0002】

【従来の技術】多結晶硅素薄膜トランジスタ（p-SiTFT）に代表される半導体装置を汎用ガラス基板を使用し得る600℃程度以下の低温にて製造する場合、従来以下の如き製造方法が取られて居た。まず基板上に半導体膜と成る非晶質硅素膜を低圧化学気相堆積法（LPCVD法）で形成する。次に此の非晶質膜にエキシマレーザー等を照射して多結晶硅素膜（p-Si膜）とした後、ゲート絶縁膜と成る酸化硅素膜を化学気相堆積法（CVD法）や物理気相堆積法（PVD法）にて形成する。次にタンタル等でゲート電極を作成して、金属（ゲート電極）-酸化膜（ゲート絶縁膜）-半導体（多結晶硅素膜）から成る電界効果トランジスタ（MOS-FET）を構成させる。最後に層間絶縁膜を此等の膜上に堆積し、コンタクトホールを開孔した後に金属薄膜にて配線を施して、半導体装置が完成する。

【0003】

【発明が解決しようとする課題】しかしながら此等従来の半導体装置の製造方法では、半導体特性を良好する為に照射レーザー光のエネルギー密度を増すと、僅かなエネルギー密度の変動に依っても半導体特性が同一基板内に於いてすら大きくばらつきを呈していた。それ故、基板内で比較的均質な多結晶半導体膜を得るには、レーザー光のエネルギー密度を最適値よりも可成り低く設定する必要があった。又、レーザー光の出力変動に対して非晶質硅素膜が極めて敏感である為に、同一基板上に形成された薄膜半導体素子間で移動度や閾値電圧に代表される電気特性の偏差が非常に大きい物となっていた。斯くした事

実に則し、従来の製造方法にてp-Si TFT等の半導体装置を製造すると、完成した半導体装置の電気特性の平均値は、例えばNMOSの移動度の平均値ならば $80\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ と低く、加えて偏差も平均値に対して20%程度認められるとの課題を有して居た。

【0004】そこで本発明は上述の諸事情を鑑み、その目的とする所は600℃程度以下との低温工程で優良な半導体装置を安定的に製造する方法を提供する事に有る。

【0005】

【課題を解決するための手段】本発明は基板上に形成された結晶性半導体膜を半導体装置のチャンネル形成領域として活用している薄膜半導体装置の製造方法に於いて、基板上に半導体膜を形成する半導体膜形成工程と、此の半導体膜に希ガス元素イオンを打ち込むイオン注入工程と、イオン注入工程後に半導体膜を熔融結晶化させる結晶性半導体膜形成工程とを含む事を特徴とする。

【0006】半導体膜形成工程は低圧化学気相堆積法(LPCVD法)にて執り行われ、此の工程にて形成される半導体膜は多結晶半導体膜である。多結晶半導体膜はモノシラン(SiH_4)を少なくとも原料気体の一種として用いたLPCVD法に依り基板上に多結晶膜として直接堆積される。多結晶半導体膜の品質を改善する為に、此の段階にて多結晶膜を基板全体の0.1%程度未満の局所的で、且つ10ns程度から1μs程度の極短時間の熔融状態を経て再結晶化しても良い。半導体膜を局所的且つ極短時間熔融状態を経て再結晶化させるには、多結晶半導体膜にレーザー光を照射するのが最も簡便である。

【0007】イオン注入工程にて打ち込まれる希ガス元素イオンはアルゴン(Ar)イオン或いはヘリウム(He)イオン、又はネオン(Ne)イオンが好ましい。此等のイオンが半導体膜に打ち込まれる際には、希ガス元素イオンの半導体膜内での最大濃度(飛程中心に於ける濃度)が $2 \times 10^{19}\text{ cm}^{-3}$ 程度以上 $1 \times 10^{21}\text{ cm}^{-3}$ 程度以下と成る様にする。更に打ち込まれる希ガス元素イオンの飛程中心は半導体膜の下側界面と半導体膜の下側界面からの厚みの40%程度との間に存在する様に工程処理を行う。此は半導体膜の下側界面近傍に後の結晶性半導体膜形成工程での結晶核が多く存在し、此等を効率的に破壊する事が求められるからである。換言すれば、イオン注入工程にて打ち込まれる希ガス元素イオンの飛程中心が、半導体膜の下側界面から10nm±10nm内に来る様にイオン注入工程を行う。希ガス元素イオンは半導体装置のチャンネル形成領域及び其の周辺となる近傍領域のみに選択的に注入するのが殊の外望ましい。具体的に近傍領域とはチャンネル形成領域から1μm程度以内の領域を示す。

【0008】結晶性半導体膜形成工程は半導体膜に表側より光照射を施して半導体膜の熔融結晶化を進めるのが

好ましい。光照射としてはレーザー光照射が望まれる。レーザー光は半導体膜の膜厚方向に対して85%程度以上97%程度以下を熔融させるエネルギー密度で半導体膜を照射すると良い。レーザー光の内ではエキシマレーザー光が利用でき、より具体的にはキセノン塩素(XeCl)エキシマレーザー光(波長308nm)やクリプトン弗素(KrF)エキシマレーザー光(波長248nm)等が用いられる。

【0009】

【発明の実施の形態】本発明は薄膜半導体装置の製造方法に関し、ガラスの歪点温度が600℃程度から750℃程度と云った低耐熱性ガラス基板、或いは単結晶硅素基板等の各種基板上に多結晶硅素膜(Si)や多結晶硅素ゲルマニウム膜($\text{Si}_x\text{Ge}_{1-x}$: $0 < x < 1$)に代表される半導体物質を半導体薄膜として形成する半導体膜形成工程と、此の半導体膜に希ガス元素イオンを打ち込んで半導体膜を非晶質化するイオン注入工程と、イオン注入工程後に半導体膜の一部を熔融させた後に冷却固化過程を経て半導体膜の熔融結晶化を進める結晶性半導体膜形成工程とを少なくとも含む事を特徴とする(図1)。

【0010】半導体膜形成工程では下地保護膜の形成方法や其れに引き続く半導体膜堆積工程直前の洗浄工程、及び半導体膜堆積工程等を工夫してまず結晶粒が比較的大きい多結晶膜を形成する(図2A)。此の状態では結晶粒は十分に大きくなく、其の分布も広がり有して居る。そこで次のイオン注入工程にて希ガス元素イオンを多結晶半導体膜に打ち込み、多結晶膜を構成していた結晶粒の大半を破壊する。結晶粒の大半が破壊され、結晶粒の一部のみが僅かに残る為、希ガス元素イオンを打ち込まれた半導体中の結晶核密度は著しく低下する(図2B)。此の原理に則りイオン注入工程後の結晶核密度は確実に半導体膜形成工程直後の多結晶半導体膜の結晶粒密度よりも小さくなる。その後結晶性半導体膜形成工程が行われる。結晶核密度が低下した半導体膜を熔融結晶化させるので、最終的に得られる結晶性半導体膜は必ずイオン注入工程以前に形成された膜よりも結晶粒密度が小さく、故に平均結晶粒径は増大するに至る(図2C)。

【0011】イオン注入工程に於ける希ガス元素イオンの半導体膜への打ち込みを、半導体膜の特定な領域にイオン注入保護膜を設けるなどとして局所的に行えば(図3A)、半導体膜内でイオン注入保護膜に被われていない領域の結晶粒のみが選択的に破壊され、其の一方でイオン注入保護膜に被われていた領域の結晶粒は保護されて生き残る(図3B)。その後結晶性半導体膜形成工程が行われ、保護されて生き残った結晶粒が熔融再結晶化時の結晶種として機能するので結晶は横方向に成長し、大粒径の結晶粒となる(図3C)。加えて此の場合には結晶粒界の位置を或程度制御出来るので、ゲート長

やベース長が4 μm 程度未満の小さい半導体装置で有れば、半導体装置の電流方向(MOSFETではソース・ドレイン方向、バイポーラトランジスタではエミッター・コレクター方向)を横切る結晶粒界を無くし、窮めて高性能な結晶性半導体装置を作成し得る。結晶粒界を或程度制御可能なので半導体装置の移動度や閾値電圧等の変動は著しく小さくなり、常に高性能な半導体装置を安定的にばらつきなく製造出来るのである。以下、本願発明の薄膜半導体装置の製造方法を図面を用いて詳述する。

【0012】半導体膜形成工程では基板上に硅素(Si)を主体とした半導体膜を形成する。半導体膜は硅素をその主構成元素(硅素原子構成比が80%程度以上)として居り、多結晶状態にある。基板としては単結晶硅素等の半導体基板、或いは無アルカリガラスやセラミック等の絶縁性基板が用いられるのが通常だが、基板の耐熱性が600℃程度以上有れば其の種類に囚われない。此等の基板の表面には半導体膜に対する下地保護膜として、酸化硅素膜が100nm程度から10 μm 程度の厚みに堆積されて居るのが好ましい。下地保護膜としての酸化硅素膜は単に半導体膜と基板との電気的絶縁性を取ったり、或いは基板が含有する不純物の半導体膜への拡散混入を防ぐにのみならず、下地酸化膜と結晶性半導体膜との界面を良質な物として居る。本願発明では薄膜半導体装置の半導体膜は10nm程度から150nm程度の厚みを有し、半導体膜の膜厚方向全域に渡ってエネルギーバンドが曲がって居る場合(SOIの完全空乏化モデルに相当する)が考えられる。斯様な状況下ではゲート絶縁膜と半導体膜との界面と共に、下地保護膜と半導体膜との界面も電気伝導に無視できぬ関与を及ぼす。酸化硅素膜は半導体膜と界面を成す際に界面捕獲準位を最も低減し得る物質で有るから下地保護膜として適している訳で有る。半導体膜は此の下地保護膜上に形成される。従って下地保護膜としては半導体膜との界面に10¹²cm⁻²程度以下の界面準位を有する酸化硅素膜が望まれる。更に本願発明では半導体膜下部に於ける結晶核発生を抑制する事が重要な役割を演ずる。斯うした意味からも下地保護膜は半導体膜との界面に生ずる結晶核の密度を3 $\times 10^7$ cm⁻²程度未満とし得る絶縁膜で有る事が求められる。結晶核となりうる物は1nm程度以上の凹凸や段差、塵、埃、微粒子(パーティクル)等である。従って此等の絶縁膜表面での濃度は3 $\times 10^7$ cm⁻²程度未満でなければならない。

【0013】下地保護膜はプラズマ化学気相堆積法(PECVD法)や低圧化学気相堆積法(LPCVD法)、スパッター法と云った気相堆積法や硅素の熱酸化法等で形成される。基板が高純度の石英から成る時には下地保護膜と石英基板とが兼用される事も可能で有る。此等下地保護膜上に比較的粒径の大きい結晶粒から構成される多結晶半導体膜が低圧化学気相堆積法(LPCVD法)

にて直接堆積形成される。本願発明では斯様にして得られた多結晶性半導体膜の大半を次工程のイオン注入工程にて破壊する。イオン注入は半導体膜の表側より執り行われ、飛程中心は半導体膜の下部に合わせられるので、注入された領域では半導体膜の下側界面近傍のみに僅かな結晶核が残留する事になる。最後に結晶性半導体膜形成工程にてイオン注入された半導体膜の下部を除いた他の部分を溶融させ、溶融した半導体膜の冷却固化時に残留した下部を結晶源として半導体膜の再結晶化を進めて結晶性半導体膜(溶融結晶化膜)を得る。半導体膜形成工程にて堆積された多結晶膜を構成する結晶粒が大きければ、結晶核密度は小さい事を意味するので、イオン注入後に残留する結晶核の密度も自ずから小さくなる。従って結晶性半導体膜形成工程後に得られる結晶性半導体膜を構成する結晶粒は著しく大きく成り、斯くして薄膜半導体装置の高性能化が実現される。更に此等の条件を満たすと、イオン注入工程が半導体装置のチャンネル形成領域とその周辺の近傍領域とに限定される場合、注入領域では結晶核発生確率が窮めて小さく、其の反面で注入領域のすぐ外側は大粒径の結晶粒から構成される多結晶膜で有る為に、結晶性半導体膜形成工程時に注入領域の外側から内側に向かって大粒径の結晶が成長する。最終的には此の領域に半導体装置の心臓部であるチャンネル形成領域が作られるので、窮めて優良な薄膜半導体装置が実現される事になる。斯うした意味に於いて、又結晶粒径の大きい多結晶膜を堆積するとの立場からも、半導体膜形成工程に先立つ下地保護膜形成、及び半導体膜形成方法が重要となる。

【0014】本願発明では半導体膜形成工程に先立ち、下地保護膜形成工程として、基板上に半導体膜に対する下地保護膜と成る酸化硅素膜を気相堆積法等で形成する。更に此の下地保護膜形成工程が終了した後に、此の基板を洗浄する洗浄工程を設ける。洗浄工程は酸を含む水溶液を少なくとも含んでおり、酸の内でも弗化水素酸水溶液にて基板を洗浄する事が殊の他重要で有る。下地保護膜上の塵や埃は其の上に形成される半導体の純度を落とすにのみならず、更には多結晶半導体膜を堆積する際の不要な結晶核とも成る。即ち、下地保護膜上の塵や埃の存在は最終的に得られる結晶性半導体膜の純度を落とすと同時に多結晶膜の結晶粒を小さくし、イオン注入後の結晶核密度を上げ、斯様にして溶融結晶化膜の結晶粒を小さくし、結局薄膜半導体装置の性能を落とす事に繋がるので有る。従って優良な半導体装置を得る為には、半導体膜堆積前に基板を十分洗浄する必要が有る。此に依り純度が高く、結晶粒の大きい結晶性半導体膜が後に得られる事と成る。下地保護膜の付いた基板は石鹼等の界面活性剤を含む水溶液や酸を含む水溶液、或いはアルカリを含む水溶液、更にはエタノール等のアルコールやアセトン等のケトンなどの有機溶剤にて洗浄される。酸を含む水溶液としては硫酸(H₂SO₄)や塩酸

(HCl)、硝酸(HNO_3)、弗酸(HF)等の水溶液、或いは硫酸と過酸化水素水(H_2O_2)と純水(H_2O)との混合液(以下本願明細書中では硫酸過水と略す)、塩酸と過酸化水素水と純水との混合液(塩酸過水と略す)、硝酸と過酸化水素水と純水との混合液(硝酸過水と略す)、硫酸と弗酸と純水(H_2O)との混合液、塩酸と弗酸と純水との混合液、硝酸と弗酸と純水との混合液、アンモニアと弗酸と純水との混合液等が特に適して居る。アルカリを含む水溶液としてはアンモニア(NH_3)水溶液や、アンモニアと過酸化水素水と純水との混合液(アンモニア過水と略す)が適して居る。半導体膜堆積前には此等の各種洗浄を適宜組み合わせ、最終的には純水で十分洗い流す必要が有る。ガラス基板の好ましい洗浄の一例としては次の方法が有る。

(1) 有機溶剤洗浄

(1-1) アセトン等のケトン洗浄(有機物除去)

(0℃程度から30℃程度で1分程度から10分程度)

(1-2) エタノール等のアルコール洗浄(有機物除去)

(0℃程度から30℃程度で1分程度から10分程度)

(1-3) 純水洗浄(ケトン、アルコール除去)

(0℃程度から30℃程度で1分程度から10分程度)

(2) アルカリ洗浄

(2-1) アンモニア過水洗浄(金属除去)

(50℃程度から100℃程度で1分程度から10分程度)

(2-2) 純水洗浄(アンモニア除去)

(0℃程度から50℃程度で1分程度から10分程度)

(3) 酸洗浄

(3-1) 硫酸過水洗浄(金属除去)

(50℃程度から100℃程度で1分程度から10分程度)

(3-2) 純水洗浄(硫酸除去)

(0℃程度から50℃程度で1分程度から10分程度)

(3-3) 塩酸過水洗浄(金属除去)

(50℃程度から100℃程度で1分程度から10分程度)

(3-4) 純水洗浄(塩酸除去)

(0℃程度から50℃程度で1分程度から10分程度)

(4) 表面酸化膜除去

(4-1) 弗酸水溶液洗浄(酸化膜表面除去及び酸化膜表面の水素終端化)

(0℃程度から30℃程度で1分程度から10分程度)

(4-2) 純水洗浄(弗酸除去)

(0℃程度から30℃程度で1分程度から10分程度)

此の四工程から成る洗浄の内でも最も重要なのは表面酸化膜除去の洗浄で有る。下地保護膜を成す酸化膜の表面層を除去すれば表面層に付着していた金属や塵等も自動的に取り除かれるからで有る。従って工程簡略化等の要請に依り半導体膜堆積前の洗浄工程を最少とさせたい時に

は、少なくとも表面酸化膜除去の洗浄だけは含まれる様に洗浄工程を設定すれば良い。但し、表面酸化膜除去に用いる洗浄液の寿命を長くして生産性を上げ、且つ下地保護膜上の不純物をより確実に除去するとの視点からは表面酸化膜除去工程の前にアルカリ洗浄乃至は酸洗浄を行うのが好ましい。表面酸化膜除去の洗浄では上例の如く弗酸と純水の混合液(弗化水素酸水溶液)の他に弗酸水溶液とアンモニア等のアルカリ水溶液との混合液を用いても良い。此の混合液はガラスへの損傷を小さくするとの利点があり、汎用無アルカリガラスを基板として用いる時の表面酸化膜除去の洗浄として最も適して居る。弗酸水溶液とアルカリ水溶液の混合液の一例としては弗化アンモン(NH_4F)水溶液が考えられる。

【0015】上述の洗浄と最後の純水に依る洗い流しが済んだ後に、下地保護膜上に多結晶半導体膜を堆積する。半導体膜堆積には各種気相堆積法が可能で有るが、高純度の半導体膜が容易に堆積されるとの立場からは、其等の内でも特に低圧化学気相堆積法(LPCVD法)が適して居る。基板は純水に依る洗い流しが終了した後、基板に新たな塵や埃の付着を防ぐ為に、直ちに(長くとも2時間程度以内に)気相堆積装置内に設置されるべきで有る。低圧化学気相堆積法は高真空型低圧化学気相堆積装置にて行われる。此は半導体膜の純度を高める事と、酸素や水等の不純物に起因する結晶核の発生を最小として、本願発明で最終的に得られる結晶性半導体膜を高純度で且つ大きな結晶粒から構成される様にする為で有る。高真空型とは半導体膜堆積直前の背景真空度が 5×10^{-7} Torr 程度以下とし得る装置で、具体的には成膜室への装置外部からの漏洩流量が、洗浄した基板からの最大脱ガス総流量(例えば300mm×300mmのガラス基板17枚で最大脱ガス総流量は 1×10^{-2} (sccm) 程度)の十分の一程度以下(先の例に則ると装置外部からの漏洩流量は 1×10^{-3} (sccm) 程度以下)の気密性を有する装置で有る。装置成膜室の気密性は避け得ない基板からの脱ガスの最大流量の十分の一程度以下で有れば、仮令気密性に多少の変動が有ろうとも、総不純物流量(成膜室への装置外部からの漏洩流量と基板からの脱ガス流量との和)に対して著しい影響を及ぼさないからで有る。斯様な高真空型低圧化学気相堆積装置は単に成膜室の気密性が優れて居るにのみならず、成膜室に於ける排気速度が100 sccm/mTorr(不活性ガスを100 sccm成膜室に流した時に得られる平衡圧力が1mTorrと成る排気速度)程度以上の排気能力を有して居る事が更に望まれる。斯うした高排気能力を有する装置では1時間程度の比較的短時間で、十分な洗浄を施された基板からの水等の脱ガス流量を装置の漏洩流量と同程度の水準迄低下せしめ、生産性を著しく高める事が可能と成るからで有る。

【0016】高純度で高品質の半導体膜を堆積するには、低圧化学気相堆積装置に於ける装置外部からの漏洩

流量 (Q_L) のモノシラン流量 (Q_{SiH}) に対する比 ($R = Q_L / Q_{SiH}$) を 10 ppm 程度以下 ($R \leq 10^{-5}$) とせねばならない。(先の漏洩流量が $1 \times 10^{-3} (\text{sccm})$ 程度の例の場合、モノシラン流量は 100 sccm 程度以上とする。) 前述の如く、本願発明では高真空型低圧化学気相堆積装置を用いて基板からの脱ガス流量が外部からの漏洩流量 (Q_L) 程度以下に成ってから半導体膜の堆積を試みる。従って総不純物流量は外部からの漏洩流量 (Q_L) と同程度の水準で有る。装置外部から成膜室へ漏洩する物質は主として空気である。空気中の 80% を占める窒素は不活性であるから、半導体品質に対して大きな問題は生じせしめず、不純物として問題と成るのは残りの 20% を占める酸素である。一方、成膜室に導入されたモノシランの中で、実際に反応に関与して半導体膜に取り込まれる物は、成膜条件に依存して多少の変動は有るものの、大凡 20% 程度である。それ故、仮令成膜室内に存在する酸素等の不純物が総て半導体膜中に取り込まれるとの現実には有り得ぬ最悪の状況を想定しても、外部からの漏洩流量 (Q_L) のモノシラン流量 (Q_{SiH}) に対する比 ($R = Q_L / Q_{SiH}$) を 10 ppm 程度以下 ($R \leq 10^{-5}$) とすれば、堆積された半導体膜中の酸素原子に対するシリコン原子等の不要な不純物の濃度は多くとも 10^{17} cm^{-3} 程度以下 (実際は 10^{16}

$$P < 10^{-3} \text{ Torr} \quad T = 500^\circ\text{C}$$

との関係を満たす様に設定される。この条件を満たすと多結晶半導体膜は比較的粒径の大きい結晶粒より構成される事になる。具体的には堆積温度が 540°C の時には総圧力は 10^{-4} Torr 程度以下が好ましく、 560°C 程度の時には 10^{-3} Torr 程度以下、 580°C の時には 10^{-2} Torr 程度以下と、温度が 20°C 低下する度に堆積時の真空度が一桁上昇する関係にある。結晶核密度を下げて比較的大きな結晶粒より構成される多結晶膜を得るには、此の堆積温度と総圧力との関係を満たすと同時に、前述の如き下地保護膜表面の結晶核密度を低くする事が求められる。半導体膜堆積の際に基板洗浄が不十分であると、基板上に付着した不純物が結晶核として作用する為、結晶粒は小さく成って仕舞う。同様に気相堆積装置の機密度が不十分であると (例えば $R = Q_L / Q_{SiH} > 10^{-5}$)、外部から成膜室に漏洩した不純物気体が基板上に付着して矢張り結晶核と成って仕舞い、結果として大粒径の結晶粒から成る優れた多結晶膜は得られない。又、成膜室内での基板乾燥が不十分であると

(この時には半導体膜堆積直前の背景真空度が $5 \times 10^{-7} \text{ Torr}$ 程度以下と成って居ない)、全く同じ原理で結晶粒は小さく成る。高性能薄膜半導体装置を得る為には、基板に十分な洗浄 (少なくとも表面酸化膜除去の洗浄工程) を施し、原料気体流量に対する機密度が十分で有る成膜装置 ($R = Q_L / Q_{SiH} \leq 10^{-5}$) を用いて、基板を成膜室で良く乾燥させた後 (半導体膜堆積直前の背

cm^{-3} 程度以下) と成り、高純度な半導体膜が得られるのである。高純度な多結晶半導体膜はそれを薄膜半導体装置の活性層 (電界効果トランジスタのソース・ドレイン領域やチャンネル形成領域、或いはバイポーラトランジスタのエミッター・ベース・コレクター領域) として用いた時に、半導体膜禁制帯中の捕獲準位を減らすと共に不純物元素に起因する移動度低下を最小限に押さえるとの効果を有する。

【0017】 上述の諸条件に加え、LPCVD法にて結晶粒径の大きい多結晶半導体膜を得るには堆積圧力を下げたり、原料気体流量を減らす等の気相に於ける原料輸送速度を遅くする事が肝要になる。堆積圧力が下がると其に伴い背景真空度を上げる必要があるし、原料気体流量を減らすと総不純流量を減らさねばならない。従って原料輸送速度を遅くした状態で高純度且つ大粒径多結晶半導体膜を得るには、前述の高真空型LPCVD装置の使用が不可欠と云える。半導体膜堆積の際にはモノシラン (SiH_4) を原料気体の一種として多結晶半導体膜を堆積する。これは本願発明が対象としている 600°C 程度以下の低温工程で最も容易に高純度な多結晶半導体膜が得られるからである。半導体膜堆積時に於ける堆積温度 $T (^\circ\text{C})$ とLPCVD装置内の総圧力 $P (\text{Torr})$ とは、

(式1)

背景真空度が $5 \times 10^{-7} \text{ Torr}$ 程度以下とした後)、モノシランを原料気体として用いて式1の関係を満たす堆積温度と総圧力で多結晶半導体膜を堆積する事が肝要なので有る。

【0018】 斯様にして半導体膜形成工程にて形成された多結晶半導体膜に希ガス元素イオンを注入して、結晶核密度の一段たる低減を図る (多結晶半導体膜の非晶質化を図る)。イオン注入工程にて打ち込まれるイオンはアルゴン (Ar) イオン或いはヘリウム (He) イオン、又はネオン (Ne) イオン等の希ガス元素が好ましい。此等の元素は化学的に不活性なので半導体中に残留しても半導体装置の電気特性に影響を及ぼさないからである。此に反して酸素やケルマニウムなどの半導体元素もイオン注入元素として候補に挙がるが、後述する様にイオン注入の飛程中心は半導体膜の下側界面近傍に設定される。その為に半導体元素が注入されると半導体膜の下側界面が不明瞭な広がりを持つ事になり、半導体膜全体に渡ってエネルギーバンドが曲がる本願発明の半導体装置では下側界面の悪い状態が半導体特性に悪影響を及ぼす事になる。希ガス元素ならば下側界面近傍に飛程中心が設定されても下側界面を乱すことなく、故に完全空乏型の半導体装置を作成しても良好な性能を示す訳である。希ガス元素がアルゴンならば、製造コストが下がるなどの利点と質量が重いので容易に多結晶膜を破壊し、結晶核密度を最小とした非晶質膜を得るなどの効果が認め

られる。希ガス元素がヘリウムで有れば、半導体膜に打ち込まれた後で容易に半導体膜から離脱して残留しないとの利点が認められる。希ガス元素がネオンで有れば、此等の中間で或程度確実に結晶粒を破壊して非晶質膜を得、且つ半導体膜への希ガス元素の残留を最小に止められる。

【0019】アルゴン等の希ガス元素イオンが半導体膜に打ち込まれる際には、希ガス元素イオンの半導体膜内での最大濃度（飛程中心に於ける濃度）が $2 \times 10^{19} \text{ cm}^{-3}$ 程度以上 $1 \times 10^{21} \text{ cm}^{-3}$ 程度以下と成る様にする。 $2 \times 10^{19} \text{ cm}^{-3}$ 程度以上の濃度で打ち込めば、多結晶半導体膜を構成する結晶粒の大半は確実に破壊される。 $1 \times 10^{21} \text{ cm}^{-3}$ 程度以下の打ち込みならば、後の熱工程で希ガスイオン元素は半導体膜から離脱し、半導体膜の密度を落としたり、或いは半導体膜中に空隙（void）を作ったりすることはない。理想的な打ち込み量としては飛程中心に於ける濃度が $5 \times 10^{19} \text{ cm}^{-3}$ 程度から $3 \times 10^{20} \text{ cm}^{-3}$ 程度の間である。

【0020】打ち込まれる希ガス元素イオンの飛程中心は半導体膜の下側界面と半導体膜の下側界面からの厚みの40%程度との間に存在する様に工程処理を行う。例えば半導体膜の厚みが50nmで有れば、飛程中心が下側界面と下側界面より20nmとの間に来るようにイオン注入時のイオン加速エネルギーを設定する。此は半導体膜の下側界面近傍に後の結晶性半導体膜形成工程での結晶核が多く存在し、此等を効率的に破壊する事が求められるからである。希ガスイオン注入では飛程中心当たりの半導体膜が最も損傷を被り、それ故最も確実に結晶核密度が低減される。最も結晶核密度の高い部位を最も確実に破壊するには、其の部位に飛程中心を合わせるのである。換言すれば、イオン注入工程にて打ち込まれる希ガス元素イオンの飛程中心が、半導体膜の下側界面から10nm±10nm内に来るようにイオン注入工程を行うのである。

【0021】希ガス元素イオンは半導体薄膜全体に一樣に打ち込まれても良いが、半導体装置のチャンネル形成領域及び其の周辺となる近傍領域のみに選択的に注入されるのが殊の外望ましい（図4A）。近傍領域とは、具体的に後に薄膜半導体装置のチャンネル形成領域となる領域からの周辺1μm程度以内の領域を示す。図4Aに局所的なイオン注入工程に於ける素子断面図を示し、図4Bには局所的なイオン注入工程を経て作成された半導体素子断面図を示す。図4Aと4Bとではチャンネル形成領域が一致する様に描かれている。此等の図より希ガス元素イオンが注入される領域は半導体膜の内で後にゲート電極下に来る部分とその周辺である事が分かる。希ガス元素イオンを半導体膜全体に一樣に打ち込むと半導体膜全体で一樣に結晶核密度が減少し、全体に大きな結晶粒が形成される。此に対して半導体薄膜の特定部位のみに選択的に希ガス元素イオンを注入すると、此の部位

のみ半導体膜が破壊され、結晶核密度は著しく減少する。その一方でイオン注入保護膜に保護された多結晶膜は多結晶の状態を維持して残る。即ち結晶核密度が高い状態に残る。此の為、次の結晶性半導体膜形成工程にて半導体膜の熔融再結晶化を進めると、希ガス元素イオンの注入された領域は周辺が多結晶膜を結晶成長の核として横方向への成長が生ずる。熔融結晶化時の結晶成長速度は10m/s程度であり、熔融時間はレーザー照射条件に応じて100nm程度から400nm程度と変わるので、結晶の横成長距離は1μm程度から4μm程度となる。結局、イオン注入された領域の左右1μm程度から4μm程度がイオン注入保護膜に覆われた多結晶膜から横方向に結晶成長する事になる。この事はゲート長が短いトランジスタでは或る程度の結晶粒界制御が可能との事実を物語っている（図4C）。例えば横成長が4μm生ずる条件では、近傍領域の距離を1μmに取っても、ゲート長が6μm以下のトランジスタではソースドレイン方向を横切る結晶粒界は、常にチャンネル形成領域の中央部に一個のみとなる。図4Cは此の様子を模式的に描いてある。左右両方向の多結晶膜から横成長した結晶粒がゲート電極の略中央部で衝突して、ソースドレイン方向を横切る結晶粒界を只一つだけ作っている（此を横成長効果と称する）。多結晶トランジスタの移動度は結晶粒界を電子又は正孔が横切る時に大きな低下を示すので、斯うした構造の多結晶半導体装置は明らかに優れた性能を示す。ゲート長が長いトランジスタでは、横成長が届かなかった領域は先の全体に均一にイオン注入された半導体膜と同じ結晶核密度を以て結晶成長する。此等の領域も従来よりは著しく結晶核発生密度が落とされているので、横成長は届かぬものの大きな粒径の結晶粒から半導体膜は構成される。斯うしたトランジスタでは結晶粒が大きい効果と横成長効果が共に働き、従来よりも際だって優れた半導体装置を形作る事になる。先にも述べたように横成長効果を最大限に発揮するにはゲート長は8μm程度以下で有る事が望まれ、近傍領域距離を考慮するとゲート長は6μm程度以下が好ましい。

【0022】局所的なイオン注入工程を行う際のチャンネル形成領域（図4A）と半導体装置作成終了後のチャンネル形成領域（図4B）とが厳密に一致して居ればチャンネル形成領域内に横成長結晶粒を最大限取り込むべく（横成長効果を最大限取り入れるべく）、近傍領域の距離は小さい方が好ましい。然るに現実には製造途上で必ずアライメントエラーが発生し、此等チャンネル形成領域は厳密には一致しない。従って近傍領域距離の最小値はアライメントエラーの最大値よりも大きくする。400mm×500mm或いは550mm×650mmと云った様な大型ガラス基板を使用する際のアライメントエラーは0.3μm程度なので、近傍領域距離は余裕を持って1μm程度とする。無論アライメントエラーが小さくなれば、近傍領域距離も小さくし得る。近傍領域距

離が小さい程トランジスタに於ける横成長効果が強く発揮されるので、此の距離は短いに越した事はない。近傍領域距離が結晶横成長距離よりも短い時に、トランジスタの横成長効果が生ずる。従って近傍領域距離の最大値は結晶横成長距離の最大値であり、その値は大凡4 μm 程度と云える。

【0023】斯うしてイオン注入工程で結晶核密度を激減された後に、結晶性半導体膜形成工程にて半導体膜の少なくとも表面を熔融結晶化して、大粒径な結晶性半導体膜或いは横成長効果が認められる結晶性半導体膜を得る。結晶性半導体膜形成工程は半導体膜に表側より光照射を施して半導体膜の熔融結晶化を進めるのが好ましい。光照射を表側より行うのはイオン注入工程などで制御された結晶成長核が半導体膜の下側界面近傍に位置し、制御された此等の核を利用して結晶化を進めるのである。表側より光照射を行えば必ず表側の温度は下側界面近傍よりも高くなり、下側界面近傍の結晶成長核を利用出来るのである。光照射としてはエネルギー効率がよく、半導体膜の局所的な極短時間熔融状態を経て結晶化し得るレーザー光照射が最適である。斯様なレーザー光照射では基板への熱損傷を殆どもたらさず、基板の選択範囲が広がるとの利点を有するからである。レーザー光の内ではエキシマレーザー光が利用でき、より具体的にはキセノン塩素(XeCl)エキシマレーザー光(波長308nm)やクリプトン弗素(KrF)エキシマレーザー光(波長248nm)等が用いられる。

【0024】一般に非晶質半導体膜へのレーザー照射では照射後の半導体膜の状態に応じて三種類の相に分類できる(図5)。即ち照射レーザーエネルギー密度が弱すぎて照射後も非晶質状態にある非晶質相と、適度な照射エネルギー密度で照射後に多結晶状態が得られる多結晶相、及び照射エネルギー密度が強すぎて照射後に微結晶状態となる微結晶相である。非晶質相と多結晶相とを隔てるのが表面熔融エネルギー密度(E_{SM})で、此のエネルギー密度の時に非晶質半導体膜の極表面のみが熔融する事になる。半導体膜の表面のみが熔融するので表面熔融エネルギー密度は半導体膜の厚みに対して独立である。一方、多結晶相と微結晶相とを隔てるのが完全熔融エネルギー密度(E_{CM})で、此のエネルギー密度の時に非晶質半導体膜が膜厚方向の全域に渡って完全に熔融する事になる。従って完全熔融エネルギー密度(E_{CM})は半導体膜が厚くなるに連れて其の値を増加させて行く。

【0025】本願発明の結晶性半導体膜形成工程にて、局所的乃至は全面均一にイオン注入された半導体膜にエキシマレーザー光を照射するには、その際のレーザーエネルギー密度を E_{CR} で表現すると、 E_{CR} の値は次の不等式を満たす様にする。

$$[(E_{CM} - E_{SM}) \times k_{LC} + E_{SM}] < E_{CR} < [(E_{CM} - E_{SM}) \times k_{HC} + E_{SM}]$$

$$k_{LC} = 0.85$$

$$k_{HC} = 0.97$$

此処で E_{CM} はイオン注入された半導体膜の完全熔融エネルギー密度で、 E_{SM} は矢張りイオン注入された半導体膜の表面熔融エネルギー密度である。此の不等式は結晶性半導体膜形成工程でのレーザーエネルギー密度 E_{CR} を多結晶相エネルギー密度の85%から97%の間に設定する事を意味しており、換言すれば半導体膜の厚み方向の大凡85%程度から97%程度がレーザー照射にて熔融する事を意味している。レーザーエネルギー密度 E_{CR} を用いて k_{CR} を

$$E_{CR} = (E_{CM} - E_{SM}) \times k_{CR} + E_{SM}$$

と定義すると、先の不等式は

$$k_{LC} < k_{CR} < k_{HC}$$

$$k_{LC} = 0.85$$

$$k_{HC} = 0.97$$

と記載し直される。即ち k_{CR} を0.85程度から0.97程度としてレーザー光照射を施すと、半導体膜の厚み方向の大凡85%程度から97%程度が熔融し、結果として得られる多結晶膜は比較的大きな結晶粒から構成される事になる。粒径の大きい結晶粒を得るには E_{CR} は出来る限り E_{CM} に近い事が望まれ、それ故に k_{CR} は出来る限り1に近い事が望まれる。然るに従来技術の欄にて詳述した様に現在のエキシマレーザー装置の出力変動は数%のオーダーで認められる為、 k_{CR} を0.97程度よりも大きくすると半導体膜は微結晶相に入って仕舞う場合も認められる。エキシマレーザー光の変動を考慮すると k_{CR} は実質的に0.95程度以下が好ましい($k_{HC} = 0.95$)。又良好な特性を確実に得るには k_{CR} は実質的に0.89程度以上とする($k_{LC} = 0.89$)。熔融結晶化は半導体膜の同一地点を20回程度以上80回程度以下の回数で繰り返される様に行う。20回程度以上の照射回数で有れば結晶内欠陥が少なく平均結晶粒径も大きい多結晶膜が得られる。照射回数が80回程度以下で有ればレーザー結晶化に伴う面荒れや不純物混入を防いで、平滑で清浄なMOS界面を得る事が可能である。

【0027】(実施例1)図6(a)～(e)はMOS型電界効果トランジスタを形成する薄膜半導体装置の製造工程を断面で示した図で有る。本実施例1では基板101としてガラスの歪点温度が750℃の結晶化ガラスを用いた。然るに此以外の基板で有っても、薄膜半導体装置製造工程中の最高温度に耐えられれば、その種類や大きさは無論問われない。まず基板101上に下地保護膜102と成る酸化硅素膜を堆積する。基板が高温度に不純物がドーブされた単結晶硅素基板等の導伝性物質の場合や、セラミックス基板等で半導体膜に取って望ましくない不純物を含んでいる場合、酸化硅素膜堆積前に酸化タンタル膜や窒化硅素膜等の第一の下地保護膜を堆積しても良い。本実施例1では基板101上にプラズマ化学気相堆積法(PECVD法)で酸化硅素膜を200

nm程度堆積し、下地保護膜102とした。酸化硅素膜はECR-PECVDにて以下の堆積条件で堆積された。

【0028】

モノシラン (SiH_4) 流量・・・60 sccm
 酸素 (O_2) 流量・・・100 sccm
 圧力・・・2.40 mTorr
 マイクロ波 (2.45 GHz) 出力・・・2250 W
 印可磁場・・・875 Gauss
 基板温度・・・100℃
 成膜時間・・・40秒

次に下地保護膜堆積後、基板を次の手順で洗浄した。

【0029】(1) 超音波照射に依るイソプロピルアルコール洗浄 (27℃、5分間)

(2) 窒素バブリングされた純水洗浄 (27℃、5分間)

(3) アシモニア過水洗浄 (80℃、5分間)

(4) 窒素バブリングされた純水洗浄 (27℃、5分間)

(5) 硫酸過水洗浄 (97℃、5分間)

(6) 窒素バブリングされた純水洗浄 (27℃、5分間)

(7) 希釈弗酸水溶液 (弗酸濃度1.67%) 洗浄 (27℃、20秒間)

(8) 窒素バブリングされた純水洗浄 (27℃、5分間)

上記7番目の希釈弗酸水溶液洗浄により、下地酸化膜の表層部が凡そ10 nm除去されて居る。斯うして洗浄された下地保護膜上に真性多結晶硅素膜をLPCVD法にて50 nm程度の膜厚に堆積した。上記8番目の純水洗浄が終了してから基板がLPCVD装置の成膜室に設置される迄の時間は約25分間で有った。

【0030】LPCVD装置はホット・ウォール型で容積が184.5 l有り、基板挿入後の反応総面積は約44000 cm²で有る。成膜室に於ける最大排気速度は120 sccm/mTorrで有る。堆積温度は560℃で、此の温度にて1時間15分間に渡る基板の加熱乾燥処理が施された。乾燥熱処理の最中、基板が設置された成膜室には純度が99.9999%以上のヘリウム

(He)を200 (sccm)と純度が99.9999%以上の水素 (H_2)を100 (sccm)導入し、成膜室の圧力は約2.5 mTorrに保たれた。乾燥処理後に成膜室を孤立させた際の成膜室内圧力上昇は 5.2×10^{-6} Torr/minで有ったから、成膜室への装置外部からの漏洩流量 (Q_L)と基板からの脱ガス流量の和で有る総不純物漏洩流量 (Q_{TL})はボイル・シャルルの法則に則り、

$$Q_{TL} \text{ (sccm)} = 273.15 \text{ (K)} / 833.15 \text{ (K)} \times 5.2 \times 10^{-6} \text{ (Torr} \cdot \text{min)} / 760 \text{ (Torr)} \times 184.5 \times 10^3 \text{ (cm}^3\text{)}$$

$$= 4.14 \times 10^{-4} \text{ (sccm)}$$

で有る。原料ガスで有る純度99.999%以上のモノシラン (SiH_4)は100 sccmの流量で成膜室に供給されたから、総不純物漏洩流量 (Q_{TL})に対するモノシランの比 (Q_{TL}/Q_{SiH})は 4.14×10^{-6} と成る。従って、漏洩流量 (Q_L)のモノシラン流量

(Q_{SiH})に対する比 ($R=Q_L/Q_{\text{SiH}}$)は4.14 ppm以下で有る。斯うした乾燥処理が終了した半導体膜堆積直前の成膜室背景真空度は、560℃に於ける温度平衡条件で 3.3×10^{-7} Torrで有った。多結晶硅素膜堆積時に於ける反応室内圧力は凡そ0.9 mTorrで有り、此の条件下で硅素膜の堆積速度は0.7 nm/minで有る。(半導体膜形成工程終了)。

【0031】次にイオン注入工程として、多結晶半導体膜103のチャンネル形成領域105と其の近傍領域106にアルゴンイオン107を注入した(図6a)。イオン注入保護膜104としては厚みが1 μmのフォトレジストを用いた。近傍領域距離は1.0 μmである。アルゴンイオン ($^{40}\text{Ar}^+$)は加速エネルギー40 keVで、 5×10^{14} cm⁻²のドーズ量で半導体膜に打ち込んだ。此の条件に於ける飛程中心は半導体膜の下側界面より9.6 nmの半導体膜中にあり、其の飛程中心での濃度は凡そ 1.2×10^{20} cm⁻³である。斯うして後に薄膜半導体装置のチャンネル形成領域と其の近傍領域にアルゴンイオンが打ち込まれ、多結晶膜は破壊された半導体膜108と化した(イオン注入工程終了)。

【0032】イオン注入工程終了後にイオン注入保護膜であるフォトレジストを剥離し、結晶性半導体膜形成工程として、局所的にアルゴンイオン注入された硅素膜にキセノン塩素 (XeCl)のエキシマ・レーザー光を照射し、熔融再結晶化を進めた。レーザー光は幅350 μmで長さ15 cmの線状に集光され、此の線状の光を各照射毎に2.5%づつ幅方向にずらして、基板上を走査した。従って半導体膜上の同一地点は40回のレーザー光照射を被る事になる。レーザー光の照射エネルギー密度は385 mJ·cm⁻²で有った。本実施例1にて使用したエキシマレーザー光では、アルゴンイオンの注入された50 nmの半導体膜の最表面のみを熔融させるエネルギー密度 E_{SM} は120 mJ·cm⁻²で有り、完全熔融させるエネルギー密度 E_{CM} は400 mJ·cm⁻²で有った。従って照射エネルギー密度の385 mJ·cm⁻²は k_{CR} の0.946を意味し、半導体膜の膜厚方向に対して約94.6%が熔融した事に成る。斯様にして得られた結晶性硅素膜をバターニング加工して半導体膜の島109を形成した(結晶性半導体膜形成工程終了)(図6b)。

【0033】次にバターニング加工された半導体膜の島109を被う様に酸化硅素膜110をECR-PECVD法にて形成した。此の酸化硅素膜は半導体装置のゲート絶縁膜として機能する。ゲート絶縁膜と成る酸化硅素

膜堆積条件は堆積時間が24秒と短縮された事を除いて、下地保護膜の酸化硅素膜の堆積条件と同一で有る。但し、酸化硅素膜堆積の直前にはECR-PECVD装置内で基板に酸素プラズマを照射して、半導体の表面に低温プラズマ酸化膜を形成した。プラズマ酸化条件は次の通りで有る。

【0034】 酸素 (O_2) 流量・・・100 sccm

圧力・・・1.85 Torr

マイクロ波 (2.45 GHz) 出力・・・2000 W

印可磁場・・・875 Gauss

基板温度・・・100℃

処理時間・・・24秒

プラズマ酸化に依り凡そ3.5 nmの酸化膜が半導体表面に形成されて居る。酸素プラズマ照射が終了した後、真空を維持した状態で酸化膜を堆積した。従ってゲート絶縁膜と成る酸化硅素膜はプラズマ酸化膜と気相堆積膜の二者から成り、その膜厚は126 nmで有った。斯様にしてゲート絶縁膜堆積が完了した (図6c)。

【0035】 引き続いて金属薄膜に依りゲート電極111をスパッター法にて形成する。スパッター時の基板温度は150℃で有った。本実施例1では750 nmの膜厚を有する α 構造のタンタル (Ta) にてゲート電極を作成し、このゲート電極のシート抵抗は $0.8 \Omega/\square$ で有った。次にゲート電極をマスクとして、ドナー又はアクセプターとなる不純物イオン112を打ち込み、ソース・ドレイン領域113とチャンネル形成領域114をゲート電極に対して自己整合的に作成する。本実施例1ではCMOS半導体装置を作製した。NMOSTランジスタを作製する際にはPMOSTランジスタ部をアルミニウム (Al) 薄膜で覆った上で、不純物元素として水素中に5%の濃度で希釈されたフォスヒン (PH_3) を選び、加速電圧80 kVにて水素を含んだ総イオンを $7 \times 10^{15} \text{ cm}^{-2}$ の濃度でNMOSTランジスタのソース・ドレイン領域に打ち込んだ。反対にPMOSTランジスタを作製する際にはNMOSTランジスタ部をアルミニウム (Al) 薄膜で覆った上で、不純物元素として水素中に5%の濃度で希釈されたジボラン (B_2H_6) を選び、加速電圧80 kVにて水素を含んだ総イオンを $5 \times 10^{15} \text{ cm}^{-2}$ の濃度でPMOSTランジスタのソース・ドレイン領域に打ち込んだ (図6d)。イオン打ち込み時の基板温度は300℃で有る。

【0036】 次にPECVD法でTEOS ($Si-(OCH_2CH_3)_4$) と酸素を原料気体として、基板温度300℃で層間絶縁膜115を堆積した。層間絶縁膜は二酸化硅素膜から成り、その膜厚は凡そ500 nmで有った。層間絶縁膜堆積後、層間絶縁膜の焼き締めとソース・ドレイン領域に添加された不純物元素の活性化を兼ねて、窒素雰囲気下350℃にて2時間の熱処理を施した。最後にコンタクト・ホールを開穴し、スパッター法で基板温度を180℃としてアルミニウムを堆積し、配

線116を作成して薄膜半導体装置が完成した (図6e)。

【0037】 この様にして作成した薄膜半導体装置の伝達特性を測定した。測定した半導体装置のチャンネル形成領域の長さ及び幅は其々10 μm で、測定は室温にて行われた。NMOSTランジスタの $V_{ds}=8 \text{ V}$ に於ける飽和領域より求めた移動度の平均値 \pm 標準偏差は $228 \pm 2 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ で有り、閾値電圧は $3.293 \pm 0.204 \text{ V}$ 、サブスレーシュホールド・スイングは $0.405 \pm 0.008 \text{ V}$ で有った。又、PMOSTランジスタの $V_{ds}=-8 \text{ V}$ に於ける飽和領域より求めた移動度は $76 \pm 4 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ で有り、閾値電圧は $-3.470 \pm 0.237 \text{ V}$ 、サブスレーシュホールド・スイングは $0.329 \pm 0.017 \text{ V}$ で有った。此等の半導体装置は其の特性が基板内で殆ど変動が無く、高性能半導体装置が均一に製造されて居た。此に対して従来技術で非晶質硅素膜を堆積してXeClエキシマ・レーザーで結晶化した比較例ではNMOSTランジスタの移動度が $112 \pm 25 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 、閾値電圧が $3.908 \pm 0.421 \text{ V}$ 、サブスレーシュホールド・スイングが $0.587 \pm 0.096 \text{ V}$ で、PMOSTランジスタの移動度が $41 \pm 10 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 、閾値電圧が $-4.505 \pm 0.946 \text{ V}$ 、サブスレーシュホールド・スイングが $0.492 \pm 0.074 \text{ V}$ で有った。この例が示す様に本発明に依るとN型とP型の両半導体装置共に高移動度で低閾値電圧を有し、且つ急峻なサブスレーシュホールド特性を示す良好な薄膜半導体装置が汎用ガラス基板を使用し得る低温工程にて、簡便且つ容易に、又安定的に作成し出来るので有る。又、総ての電気特性で其のばらつきが低減された。

【0038】

【発明の効果】 以上詳述してきた様に、従来低品質で品質のばらつきが大きかった多結晶薄膜半導体装置を本願発明は高性能で均一な薄膜半導体装置へと簡便且つ安定的に改質でき、同時に半導体装置の動作安定性をも高めるとの効果が認められる。斯うした事実に基づき半導体装置回路の高速動作や電源電圧の低下との効果をもたらす、以て電子機器の高速応答や省エネルギーを導くとの効果が認められる。

【図面の簡単な説明】

【図1】 本願発明の原理を説明した図。

【図2】 本願発明の原理を説明した図。

【図3】 本願発明の原理を説明した図。

【図4】 本願発明の原理を説明した図。

【図5】 レーザー結晶化の相を説明した図。

【図6】 本願発明の製造工程を説明した図。

【符号の説明】

101・・・基板

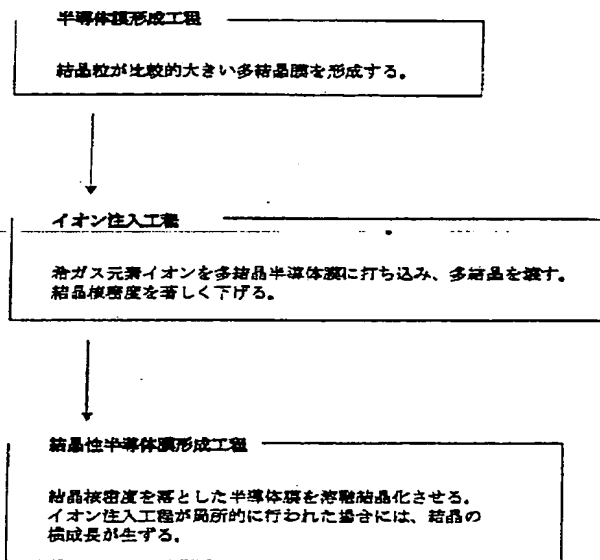
102・・・下地保護膜

103・・・多結晶半導体膜

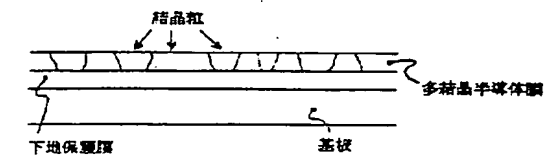
104・・・イオン注入保護膜
 105・・・チャネル形成領域
 106・・・近傍領域
 107・・・希ガス元素イオン
 108・・・破壊された半導体膜
 109・・・半導体膜の島
 110・・・ゲート絶縁膜

111・・・ゲート電極
 112・・・不純物イオン
 113・・・ソース・ドレイン領域
 114・・・チャネル形成領域
 115・・・層間絶縁膜
 116・・・配線

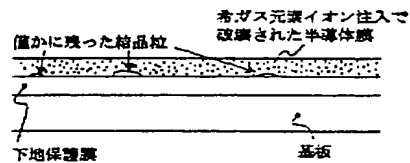
【図1】



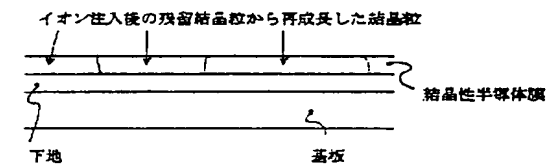
【図2】



(A) 半導体膜形成工程後の断面図



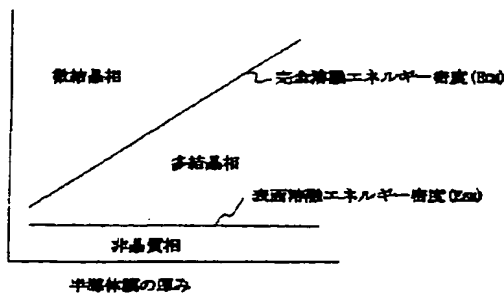
(B) イオン注入工程後の断面図



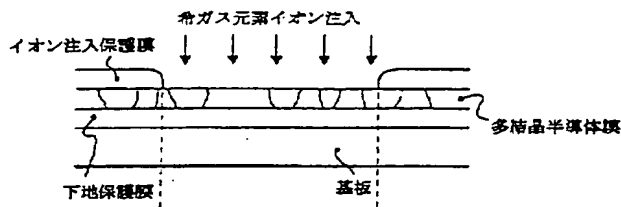
(C) 結晶性半導体膜形成工程後の断面図

【図5】

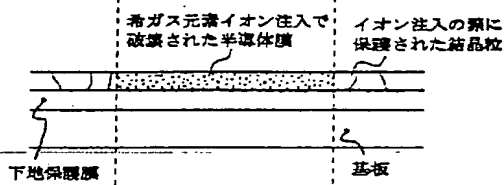
照射レーザーエネルギー密度



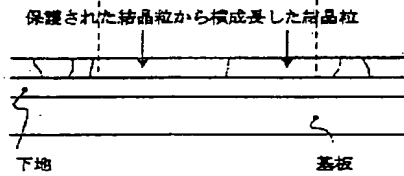
【図 3】



(A) 局所的なイオン注入工程の断面図

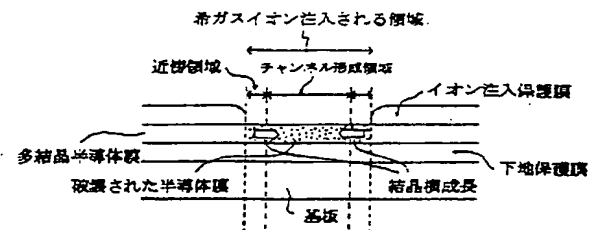


(B) 局所的なイオン注入工程後の断面図

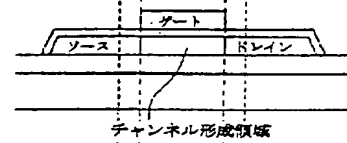


(C) 結晶性半導体膜形成工程後の断面図

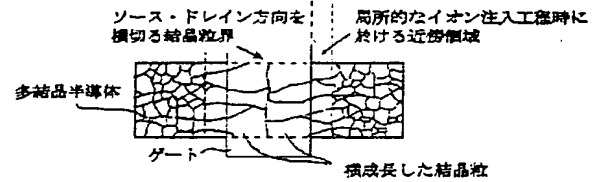
【図 4】



(A) 局所的なイオン注入工程に於ける断面図

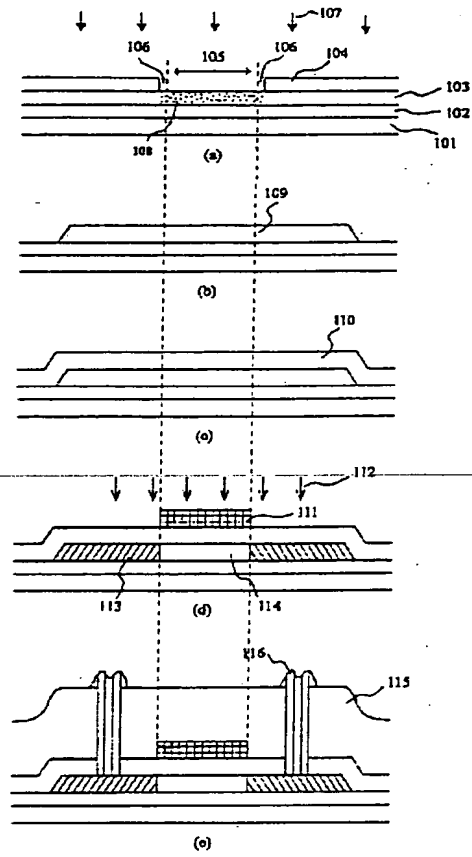


(B) 局所的なイオン注入工程を経て作成された半導体素子断面図



(C) ゲート長の短いトランジスタの半導体素子平面図

【図6】



フロントページの続き

Fターム(参考) 5F052 AA02 BB07 CA04 DA01 DB02
 EA11 FA05 JA01
 5F110 AA08 AA17 CC02 DD01 DD02
 DD03 DD05 DD07 DD12 DD13
 DD14 DD17 EE04 EE44 FF02
 FF09 FF25 FF31 GG01 GG02
 GG13 GG25 GG28 GG47 GG57
 HJ01 HJ13 HJ23 HL03 HL23
 NN04 NN23 NN35 PP03 PP04
 PP15 PP23 PP33 QQ11